

修 士 論 文 の 和 文 要 旨

研究科・専攻	大学院 情報システム学研究科 情報ネットワーク学専攻 博士前期課程		
氏 名	Cisse Ahmadou Dit ADI	学籍番号	0752031
論 文 題 目	予測スイッチングを用いたフォトニックネットワーク・オンチップに関する研究		
<p>要 旨</p> <p>ネットワーク・オンチップ(NoC)は、チップマルチプロセッサ(CMP)やシステムオンチップ(SoC)の通信基盤として広く普及している。しかし、CMP や SoC の回路規模が急速に増し、ネットワーク構成が複雑度を増した昨今、高バンド幅、低遅延、省電力でスケーラブルな NoC への需要が高まっている。</p> <p>近年、CMOS との混載が可能なナノフォトニック機器の研究が目覚ましい進展を遂げている。その結果、光相互接続網が、既存の電気回路による NoC の有力な代替手段として注目されている。中でも、電気回路と高速な光回路を組み合わせた HPNoC は、両者の利点を用いることが可能な、有望なアーキテクチャである。HPNoC では、光回路では回線交換方式によりネットワークを制御するが、電気回路では、従来通り、パケット交換方式により制御を行なう。</p> <p>そこで本研究では、予測スイッチングを用いて通信遅延を低減する HPNoC を提案する。電気回路における通常のスイッチングは、パケットが到着すると、出力ポート計算(RC)、仮想チャネル割り当て(VA)、スイッチ割り当て(SA)を経て出力ポートへパケットを出力する。しかし、予測スイッチングでは、パケット到着前に出力ポートを決定するため、到着したパケットは直ちに出力ポートに送られる。結果として、予測が成功した場合、RC、VA、SA の各処理にかかる遅延を隠蔽し、出力ポートへのパケット出力処理の 1 ステージのみでパケットを送信することが可能となる。予測に失敗した場合でも、通常通り RC、VA、SA を経て出力ポートへパケットを出力するため、処理に要する時間は通常のスイッチングと同じである。</p> <p>本論文では、ネットワークシミュレータと机上計算による解析によって、予測スイッチングを用いた HPNoC の性能評価を行なった。シミュレーションでは、64 ノードをメッシュトポロジに配置した環境で、一様にランダムな通信パターンを用いて電気回路ネットワークを評価した。その結果を、光相互接続網についての机上解析と比較した。その結果、HPNoC は電気回路のみで構成した NoC よりも高速であることを確認した。特に、14 バイトといった小さいデータを転送する場合においても、HPNoC の方が電気回路のみで構成した NoC よりも高性能であることがわかった。</p>			